

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036567

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H01L 27/08

H01L 27/04

H01L 21/822

(21)Application number : 11-184277

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 29.06.1999

(72)Inventor : RI SHOUKU

(30)Priority

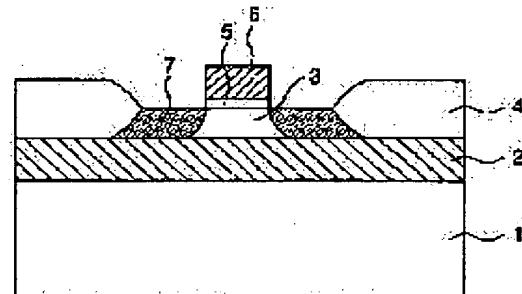
Priority number : 98 9826035 Priority date : 30.06.1998 Priority country : KR

## (54) MANUFACTURE OF CMOS ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve mobility of a hole in a PMOS by forming a field oxide film for limiting a PMOS forming region in a thermally oxidizing step to receive a compression force by a semiconductor region formed of the PMOS.

SOLUTION: A field oxide film 4 is formed in an LOCOS. This is because the degree of a compression stress to be received by a semiconductor layer 3 is different according to the conditions of a thermally oxidizing step like a temperature and a time. In the step, the stress to be received by the layer 3 is increased more as an embedded oxide film 2 is thinner. Accordingly, the stress of the layer 3 can be regulated by regulating the conditions and a thickness of the oxide film. The step is conducted at 1,000 to 1,200°C for 220 to 240 min in an oxygen atmosphere. A thickness of the film 2 is about 2,000 to 3,000 &angst;. Thus, mobility of hole in the PMOS element can be improved to a desired degree.



## LEGAL STATUS

[Date of request for examination] 18.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36567

(P2000-36567A)

(43)公開日 平成12年2月2日 (2000.2.2)

(51) Int.Cl.<sup>7</sup>

H 01 L 27/08  
27/04  
21/822

識別記号

3 3 1

F I

H 01 L 27/08  
27/04

テマコート (参考)

3 3 1 A  
D

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21)出願番号 特願平11-184277

(22)出願日 平成11年6月29日 (1999.6.29)

(31)優先権主張番号 1998/P26035

(32)優先日 平成10年6月30日 (1998.6.30)

(33)優先権主張国 韓国 (KR)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136

-1

(72)発明者 李鍾 ▲ウク▼

大韓民国 京畿道 利川市 夫鉢邑 牙美

里山 136-1 現代電子リムデアパート

108-503

(74)代理人 100093399

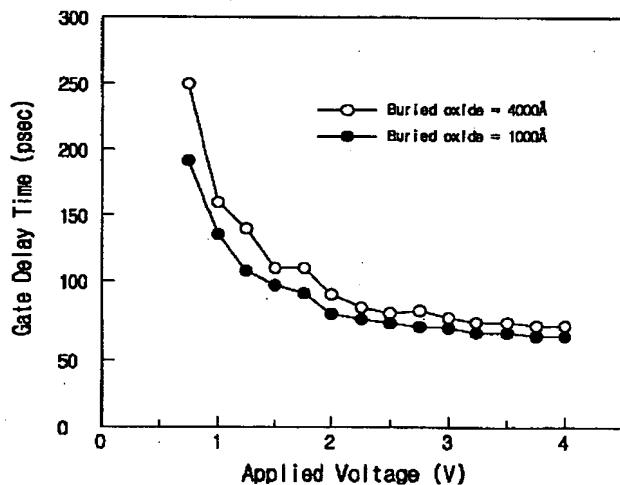
弁理士 濱谷 徹 (外1名)

(54)【発明の名称】 CMOS素子の製造方法

(57)【要約】

【目的】 本発明は、PMOS素子での正孔の移動度を向上させることができるCMOS素子の製造方法を提供する。

【構成】 本発明は、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるSOIウェーハを提供する段階；前記SOIウェーハの半導体層に、PMOS及びNMOSの形成領域を限定するフィールド酸化膜を形成する段階；及び前記フィールド酸化膜により限定された領域にPMOSとNMOSを形成する段階を含むCMOS素子の製造方法において、前記PMOS形成領域を限定するフィールド酸化膜は、前記PMOSの形成される半導体層領域が圧縮応力を受けるように熱酸化工程で形成することを特徴とする。



## 【特許請求の範囲】

【請求項1】ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるSOIウェーハを提供する段階；前記SOIウェーハの半導体層に、PMOS及びNMOSの形成領域を限定するフィールド酸化膜を形成する段階；及び前記フィールド酸化膜により限定された領域にPMOSとNMOSを形成する段階を含むCMOS素子の製造方法において、

前記PMOSの形成領域を限定するフィールド酸化膜は、前記PMOSの形成される半導体層領域が圧縮応力を受けるように熱酸化工程で形成することを特徴とするCMOS素子の製造方法。

【請求項2】前記熱酸化工程は、1,000～1,200°Cで、220～240分の間に、ドライ酸素雰囲気下で行うことを特徴とする請求項1記載のCMOS素子の製造方法。

【請求項3】前記埋め込み酸化膜は2,000～3,000Åの厚さで形成することを特徴とする請求項2記載のCMOS素子の製造方法。

【請求項4】前記熱酸化工程は、1,000～1,200°Cで、190～210分の間に、ドライ酸素雰囲気下でフィールド酸化工程を行うことを特徴とする請求項1記載のCMOS素子の製造方法。

【請求項5】前記埋め込み酸化膜は800～1,200Åの厚さで形成することを特徴とする請求項4記載のCMOS素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、SOI(Silicon-on-n-Insulator)ウェーハを用いたCMOS素子の製造方法に関し、特に、PMOS素子での正孔移動度を増加させるための方法に関する。

## 【0002】

【従来の技術】近年、半導体素子の高性能化に伴い、バルクシリコンからなる単結晶シリコンウェーハの代わりに、SOIウェーハを用いた半導体素子(以下、SOI素子という)が注目されている。

【0003】これは、SOIウェーハに形成された素子を単結晶シリコンウェーハに形成された素子と比較してみれば、小さな接合容量(Junction Capacitance)による高速化、低いしきい電圧による低電圧化、及び完全な素子分離によるラッチ-アップ(latch-up)の除去などの利点を持つためである。

【0004】SOIウェーハは、支持手段のベース基板、前記ベース基板上に配置した埋め込み酸化膜、及び前記埋め込み酸化膜上に配置して素子の形成される半導体層からなる積層構造である。ここで、SOIウェーハに形成される素子に前述した利点を持たせるためには、半導体層の厚さが均一で、かつ100nm以下にすべきである。

【0005】一方、NMOS素子とPMOS素子とからなるCMOS素子において、PMOS素子での正孔の移動度(hole mobility)は、一般にNMOS素子での電子の移動度(electron mobility)より低いため、PMOS素子の特性はNMOS素子の特性に比べて劣る。このため、SOI基板にCMOS素子を形成した場合、相対的に劣るPMOS素子によってCMOS素子も劣ることになる。

【0006】従って、SOIウェーハに形成したCMOS素子が高速及び低電圧の特性を持つようにするには、PMOS素子での正孔移動度を向上させるべきである。

【0007】SOIウェーハ上に形成したCMOS素子において、半導体層内に存在する応力の様態が圧縮応力(Compressive Stress)であり、その圧縮応力が大きい程正孔の移動度は増加することが、『M. Roser, S. R. Clayton, P. R. de la Houssaye, and G. A. Garcia, "Hole-mobility in fully depleted thin-film SOS MOSFET's," IEEE Trans. Electron Device, vol. 39, p. 2665, 1992.』に報告されている。

【0008】図1は、SOIウェーハ上に形成したPMOS素子において、半導体層が受けられる圧縮応力によるゲート電圧対正孔の移動度を示すグラフである。図において、Aは半導体層の受けられる圧縮応力が相対的に小さな場合を、Bは半導体層の受けられる圧縮応力が相対的に大きい場合を示す。

【0009】同図に示すように、正孔の移動度は、ゲート電圧が-1.0Vの時、Bの方が最大になる。つまり、正孔の移動度は半導体層の受けられる圧縮応力が大きいほど増加することがわかる。

## 【0010】

【発明が解決しようとする課題】従って、SOIウェーハに形成したCMOS素子の特性を向上させるには、PMOS素子での正孔の移動度を増加させなければならない。前記PMOS素子での正孔の移動度の増加のため、PMOS素子でのボディの半導体層が圧縮応力を受けるようにすべきである。

【0011】本発明の目的は、SOIウェーハ上にPMOS及びNMOSからなるCMOS素子の形成において、前記PMOSでの正孔の移動度を向上させることができるCMOS素子の製造方法を提供することにある。

## 【0012】

【課題を解決するための手段】前述した目的を達成するための本発明のCMOS素子の製造方法は、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるSOIウェーハを提供する段階；前記SOIウェーハの半導体層に、PMOS及びNMOSの形成領域を限定するフィールド酸化膜を形成する段階；及び前記フィールド酸化膜により限定された領域にPMOSとNMOSを形成する段階を含むCMOS素子の製造方法において、前記PMOS形成領域を限定するフィールド酸化膜は、

前記PMOSの形成される半導体層領域が圧縮応力を受けるように熱酸化工程で形成することを特徴とする。

【0013】また、本発明は、PMOSの形成される半導体層が受けられる圧縮応力を増加させるために、熱酸化工程条件と埋め込み酸化膜の厚さを調節する。

【0014】本発明の前記目的と新規な特長を以下詳細に、図面を参照して説明する。

#### 【0015】

【発明の実施の形態】以下は、本発明の一実施の形態である。図2は、本発明の実施例によってSOIウェーハに形成したPMOS素子を示す断面図である。図において、1はベース基板、2は埋め込み酸化膜、3はN型不純物でドープされた半導体層、4はフィールド酸化膜、5はゲート酸化膜、6はP型ゲート電極、7はP+型ソース/ドレイン領域である。

【0016】前記フィールド酸化膜4はLOCOS工程にて形成される。これは、温度及び時間の様な熱酸化工程条件によって半導体層3の受けられる圧縮応力の程度が異なるためである。また、熱酸化工程時、半導体層3が受けられる圧縮応力は埋め込み酸化膜2が薄いほど増加する。

【0017】よって、本発明の実施例では、熱酸化工程条件及び埋め込み酸化膜の厚さを調節することで、半導体層が受けられる圧縮応力を調節する。本発明の実施例での熱酸化工程は、1,000～1,200℃で、220～240分の間に、酸素雰囲気下で行われ、このとき、埋め込み酸化膜の厚さは2,000～3,000Å程度とする。かつ、本発明の他の実施例での熱酸化工程は、1,000～1,200℃で、190～210分の間に、酸素雰囲気下で行われ、このとき、埋め込み酸化膜の厚さは800～1,200Å程度とする。

【0018】一方、LOCOS工程において、埋め込み酸化膜及び半導体層の界面に存在する応力は、素子分離マスク(Isolation Mask)として用いるパッド酸化膜とシリコン窒化膜の厚さによって変化する。本発明の実施例におけるパッド酸化膜とシリコン窒化膜の厚さは、それぞれ50～150Å、2,000～3,000Å程度である。

【0019】以下に、上述した条件等の変化によって半導体層が受けられる圧縮応力をについて説明する。図3から図6は、熱酸化工程が、1,000～1,200℃で、220～240分の間に、ドライ酸素雰囲気下で行われ、2,900～3,100Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1,000Å、2,000Å、3,000Å、4,000Åの時の半導体層が受けられる圧縮応力を示すデータである。図において、黒点は半導体層の受けられる圧縮応力の程度を示すもので、黒点が多いほど圧縮応力は大きい。

【0020】同図に示すように、半導体層の受けられる圧縮応力は、埋め込み酸化膜の厚さが1,000Å及び

4,000Åの場合(図3、図6)より2,000Å及び3,000Åの場合(図4、図5)の方が相対的に大きい。よって、この様な熱酸化工程条件において、埋め込み酸化膜の厚さは2,000以上3,000Å以下で設定することが望ましい。一方、この様な条件にて熱酸化工程を行った場合、半導体層の受けられる圧縮応力は略 $1 \times 10^{10} \sim 1 \times 10^{12}$ dyne/cm<sup>2</sup>程度である。

【0021】図7より図19は、熱酸化工程が、1,000～1,200℃で、190～210分の間に、ドライ酸素雰囲気下で行われ、2,700～2,800Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1,000Å、2,000Å、3,000Å、4,000Åの時の半導体層の受けられる圧縮応力を示すデータである。

【0022】同図に示すように、半導体層の受けられる圧縮応力は、埋め込み酸化膜の厚さが2,000Åの場合(図8)より1,000Å、3,000Å及び4,000Åの場合(図7、図9、図10)の方が相対的に大きく、特に、1,000Åの場合(図7)の方が一番大きい。よって、この様な熱酸化工程条件において、埋め込み酸化膜の厚さは1,000Å、望ましくは800Å～1,200Åで設定することが望ましい。この場合も半導体層の受けられる圧縮応力は略 $1 \times 10^{10} \sim 1 \times 10^{12}$ dyne/cm<sup>2</sup>程度である。

【0023】図11より図14は、熱酸化工程が、1,000～1,200℃で、160～180分の間に、ドライ酸素雰囲気下で行われ、2,400～2,600Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1,000Å、2,000Å、3,000Å、4,000Åの時の半導体層の受けられる圧縮応力を示すデータである。

【0024】前記工程条件において、半導体層の受けられる圧縮応力は、以前工程条件でのデータと比較して見れば、埋め込み酸化膜の全ての厚さに対して望ましくない。よって、この工程条件としては熱酸化工程が行われない。

【0025】図15は、1,100℃で、230分の間に、ドライ酸素雰囲気下で熱酸化工程を行って、SOI基板の半導体層に3,000Åのフィールド酸化膜を形成した場合、埋め込み酸化膜の厚さが1,000Å及び4,000Åの場合で、印加された電圧に対するゲート遅延時間を示すグラフである。

【0026】同図に示すように、埋め込み酸化膜の厚さが4,000Åの場合より1,000Åの場合の方が、印加された電圧に対するゲート遅延時間が低い。これは、埋め込み酸化膜の厚さが1,000Åの時、前記熱酸化工程条件でのキャリア移動度が相対的に良いことを意味する。

#### 【0027】

【発明の効果】以上のように、PMOS素子での正孔の

移動度は半導体層に存在する圧縮応力に依存し、前記半導体層に存在する圧縮応力は熱酸化工程条件及び埋め込み酸化膜の厚さによって変化する。このため、適切な熱酸化工程条件及び埋め込み酸化膜の厚さを設定することで、PMOS素子での正孔の移動度を所望の程度に向上させることができる。よって、上述した熱酸化工程条件及び埋め込み酸化膜の厚さに対する選択基準は、要求された素子の特性によることが望ましい。

【0028】尚、本発明は本実施例に限れるものではない。本発明の趣旨から逸脱しない範囲内で多様に変形・実施することができる。

【図面の簡単な説明】

【図1】SOIウェーハ上に形成したPMOS素子における半導体層の受けられる圧縮応力によるゲート電圧対正孔の移動度を示すグラフである。

【図2】本発明の実施例によってSOIウェーハに形成したPMOS素子を示す断面図である。

【図3】熱酸化工程が、1,000～1,200℃で、20～240分の間に、ドライ酸素雰囲気下で行われ、2,900～3,100Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図4】図3のデータで、埋め込み酸化膜の厚さが200Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図5】図3のデータで、埋め込み酸化膜の厚さが300Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図6】図3のデータで、埋め込み酸化膜の厚さが400Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図7】熱酸化工程が、1,000～1,200℃で、190～210分の間に、ドライ酸素雰囲気下で行われ、2,700～2,800Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図8】図7のデータで、埋め込み酸化膜の厚さが

2000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図9】図7のデータで、埋め込み酸化膜の厚さが3000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図10】図7のデータで、埋め込み酸化膜の厚さが4000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図11】熱酸化工程が、1,000～1,200℃の温度で、160～180分の間に、ドライ酸素雰囲気下で行われ、2,400～2,600Åの厚さのフィールド酸化膜を形成した場合で、埋め込み酸化膜の厚さが1000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図12】図11のデータであって、埋め込み酸化膜の厚さが2000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図13】図11のデータであって、埋め込み酸化膜の厚さが3000Åのとき半導体層の受けられる圧縮応力を示すデータである。

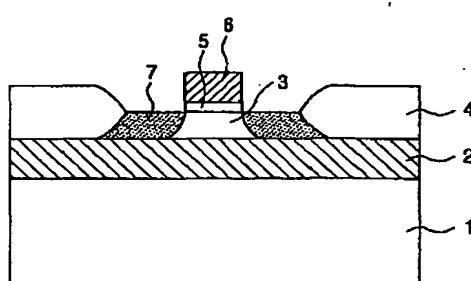
【図14】図11のデータであって、埋め込み酸化膜の厚さが4000Åのとき半導体層の受けられる圧縮応力を示すデータである。

【図15】1,100℃で、230分の間に、ドライ酸素雰囲気下で熱酸化工程を行って、SOI基板の半導体層に1,000Å及び4,000Åの厚さの埋め込み酸化膜を形成した場合、印加された電圧に対するゲート遅延時間を示すグラフである。

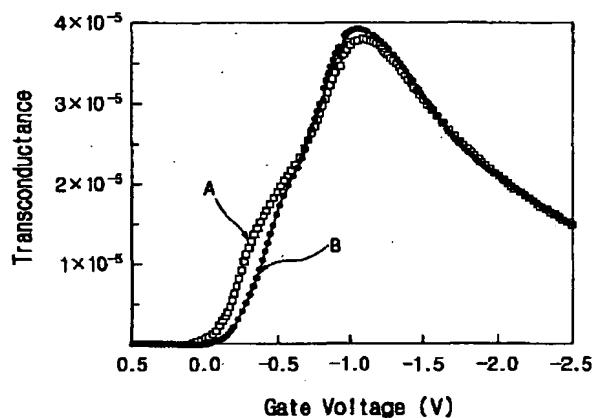
【符号の説明】

- 1 ベース基板
- 2 埋め込み酸化膜
- 3 半導体層
- 4 フィールド酸化膜
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 ソース/ドレイン領域

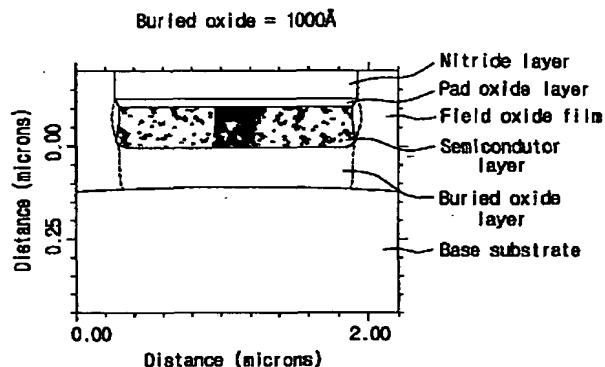
【図2】



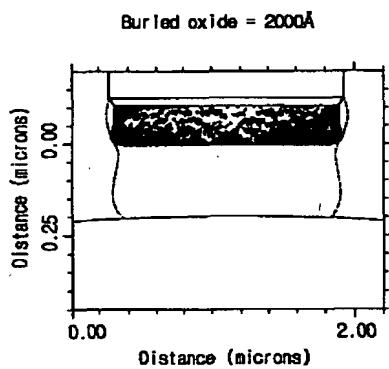
【図1】



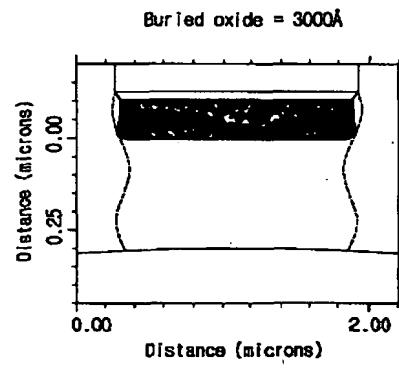
【図3】



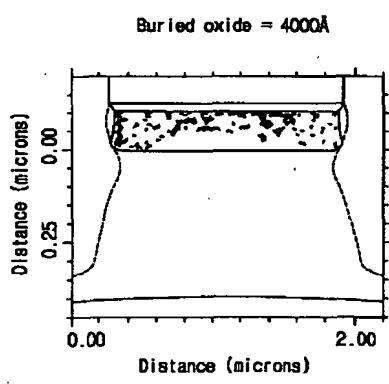
【図4】



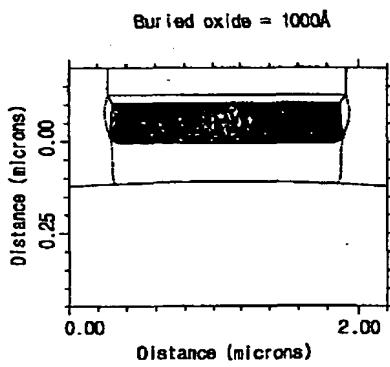
【図5】



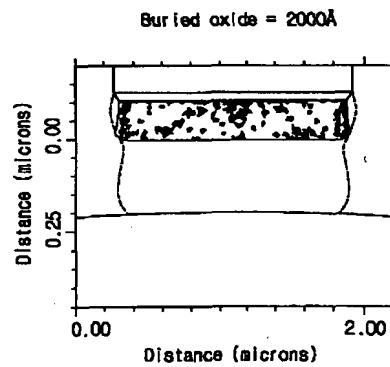
【図6】



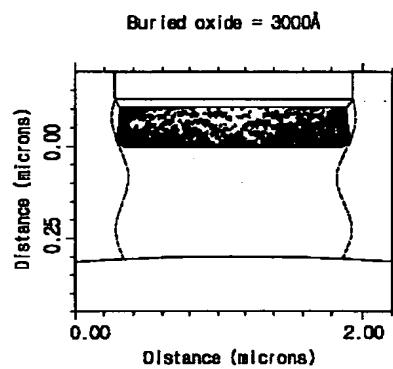
【図7】



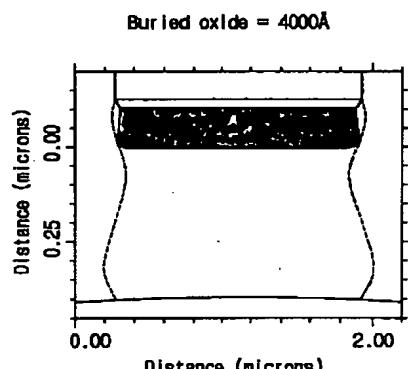
【図8】



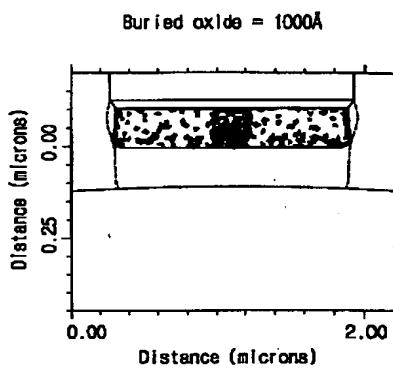
【図9】



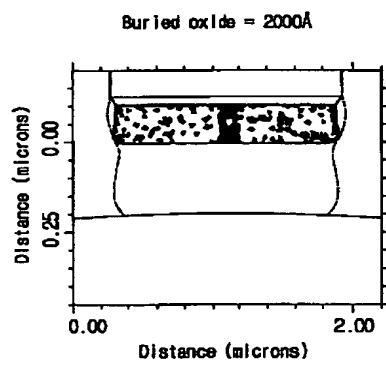
【図10】



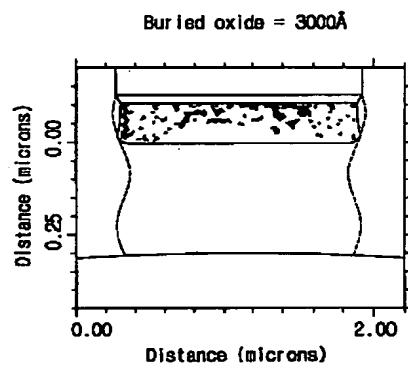
【図11】



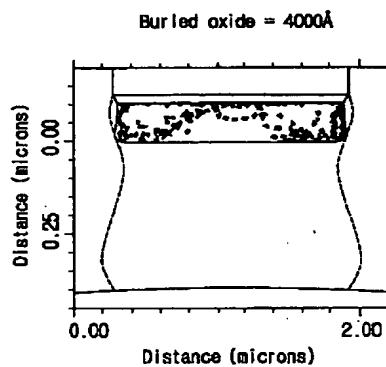
【図12】



【図13】



【図14】



【図15】

